

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-151183

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

G06F 15/16

(21)Application number : 03-315999

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.11.1991

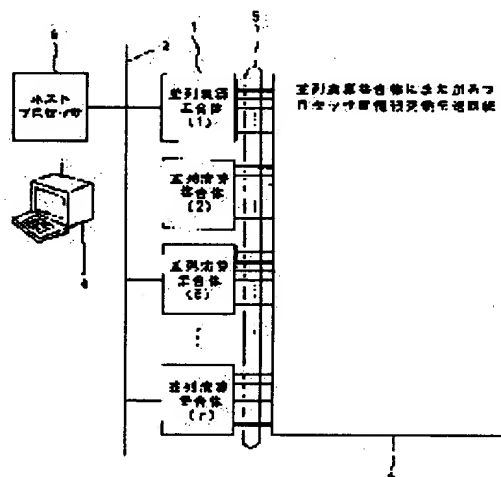
(72)Inventor : KODAIRA TAKATOSHI

(54) PARALLEL ARITHMETIC UNIT

(57)Abstract:

PURPOSE: To obtain a parallel arithmetic mechanism connection device capable of comprising a large scale parallel arithmetic mechanism by solving a problem to increase spatial occupied volume and to increase the number of routes of a topological information transmission switching line.

CONSTITUTION: Arithmetic aggregates 1 comprised of plural arithmetic processors are connected mutually via universal computer linkage 2. An inter-PE information switching transmission line 5 can be connected from each PE which comprises the parallel arithmetic aggregates 1, and an inter-PE information switching transmission line network 6 spreading over the parallel arithmetic aggregates 1 is a set of the inter-PE information switching transmission lines 5 from each PE, and it is provided with a transmission line connection and switching function other than an inter-PE information transmission function. Plural information transmission lines with the hierarchical constitution of fast short distance or middle speed/middle distance are provided among the plural processors.



LEGAL STATUS

[Date of request for examination]

27.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-151183

(43) 公開日 平成5年(1993)6月18日

(51) Int.Cl.⁵

G 0 6 F 15/16

識別記号

4 0 0 S 9190-5L

Y 9190-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数7(全18頁)

(21) 出願番号 特願平3-315999

(22) 出願日 平成3年(1991)11月29日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小平 高敏

茨城県日立市大みか町五丁目2番1号 株

式会社日立製作所大みか工場内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 並列演算装置

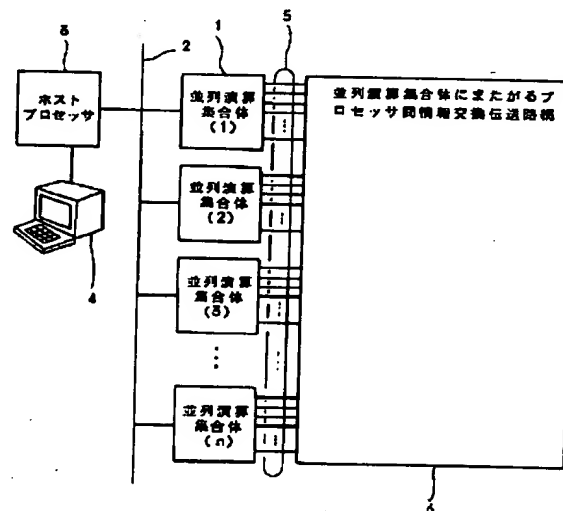
(57) 【要約】

【目的】 本発明の目的は、空間的な占有体積が増大、トポロジカルな情報伝送交換路経路数の急増という課題を解決し、大規模な並列演算機構を構築しうる並列演算機構接続装置を得ることにある。

【構成】 複数の演算プロセッサより構成される演算集合体1を汎用計算機リネイジ2を介して相互接続する。PE間情報交換伝送路5は、並列演算集合体を構成する各PEより接続可能であり、並列演算集合体にまたがるPE間情報交換伝送路6は各PEよりのPE間情報交換伝送路5の集合であり、PE間情報伝送機能のほかに伝送路接続交換機能を有する。複数のプロセッサ間に、高速近距離又は中速中距離の階層構成を有する複数の情報伝送路を設ける。

【効果】 本発明によれば、大規模な並列演算機構の実現が可能となる。

図 1



【特許請求の範囲】

【請求項1】並列処理形式、パイプライン処理形式及び並列処理形式とパイプライン処理形式との組合わせ形式のうち、いずれかの形式で相互に接続される複数のプロセッサからなるプロセッサ群と、前記プロセッサ群の処理を管理する管理プロセッサとからなる複数の並列演算集合体と、前記並列演算集合体内のプロセッサ群間の第1の情報交換伝送路と、異なる前記並列演算集合体にまたがるプロセッサ群間の第2の情報交換伝送路とよりなることを特徴とする並列演算装置。

【請求項2】請求項1において、前記第1の情報交換伝送路における伝送速度が、前記第2の情報交換伝送路における伝送速度よりも高速であることを特徴とする並列演算装置。

【請求項3】請求項1において、前記第2の情報交換伝送路に関し、前記プロセッサの各々の情報交換伝送路制御部に交替バッファメモリを設け、前記交替バッファメモリの一方に前記プロセッサが情報交換用データを書き込んでいた間に、もう一方の交替バッファメモリの内容を情報交換伝送路経由で接続先のプロセッサの情報交換伝送路制御部交替バッファメモリに伝送する第1の処理フェーズと、前記交替バッファメモリの役割を入れ替え、前の処理フェーズでプロセッサがデータを書き込んだ交替バッファメモリの内容を情報交換伝送路経由で接続先のプロセッサの情報交換伝送路制御部交替バッファメモリに伝送し前記第1の処理フェーズで情報伝送した交替バッファメモリにプロセッサが情報交換用データをき込む第2の処理フェーズとを繰り返すことを特徴とする並列演算装置。

【請求項4】請求項3において、前記第2の情報交換伝送路は、データをビットシリアルに伝送することを特徴とする並列演算装置。

【請求項5】請求項1において、前記第2の情報交換伝送路は、異なる前記並列演算集合体にまたがる2つのプロセッサ間の情報交換伝送路の集合である集合伝送路であることを特徴とする並列演算装置。

【請求項6】請求項5において、前記第2の情報交換伝送路は、前記集合伝送路内の情報交換伝送路間に接続切り替え機構を有することを特徴とする並列演算装置。

【請求項7】請求項1において、前記第2の情報交換伝送路は、前記情報交換伝送路を複数のプロセッサ間の情報交換伝送路として共有される共通情報交換伝送路であり、前記プロセッサ間に任意に論理的伝送路を構成することを特徴とする並列演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は並列処理形式、パイプライン処理形式、及び並列処理形式とパイプライン処理形式との組合わせ形式の並列演算装置に係り、特に、プロセッサ間のデータ伝送路の構成に着目した並列演算装置

に関する。

【0002】

【従来の技術】プロセッサを複数用いて並列演算機構を構成し、高速処理性を実現することにおいては、プロセッサ間のデータ伝送速度および効率を向上させることが性能向上に重要であり、また、プロセッサ間のデータ伝送路の構造の柔軟性が演算装置の汎用性を確保するために重要である。プロセッサ間データ伝送速度と柔軟性向上が強く求められている。高い処理性の実現はプロセッサ間のデータ伝送路の電気的特性と構造的制約に左右される。

【0003】以上に関連するものとして、例えば、特開平3-174646号公報があるが、ここではシリアル伝送方式のハードワイアリング伝送網により複数プロセッサを接続することを採用している。

【0004】

【発明が解決しようとする課題】従来の技術においては、並列演算機構を構成するプロセッサの規模が拡大するに従い空間的な占有体積が増大するほか、トポロジカルな情報伝送交換路経路数が急増する性質がある。このことは、高速かつ柔軟な情報伝送交換路を有する大規模な並列演算機構を構築することが困難であることを意味する。すなわち、解決しようとする課題は、電気的・構造的制約下で並列演算機構を構成するプロセッサ間の高速かつ柔軟なリンケージを実現することである。

【0005】本発明の目的は、上記課題を解決し、大規模な並列演算機構を構築しうる並列演算装置を得ることにある。

【0006】

【課題を解決するための手段】上記目的達成のために、下記手段を採用した。

【0007】(1)プロセッサ間の情報伝送交換路形態を階層化し、並列演算集合体内のような近接したプロセッサ群内では、交換機能付きのメモリバス直結による高速情報伝送交換路とする一方、並列演算集合体にまたがるような情報伝送交換路では高速シリアルデータ情報伝送交換路を適用して、伝送速度は下がるものの伝送距離を確保できるようにすることにより大規模な並列演算機構を構築できるようにした。

【0008】(2)並列演算集合体にまたがる情報伝送交換路においても、並列演算集合体内の情報伝送交換路と同様に交替バッファメモリを配置し、情報伝送処理とプロセッサの演算処理間にパイプラインによる並列処理が可能ないようにした。

(3)並列演算集合体にまたがる情報伝送交換路の形態を2プロセッサ間の1対1の伝送とだけでなく、複数プロセッサ間にわたるシリアル伝送路を構成しうるようにして複数プロセッサ間の任意の論理的なデータ伝送路を構築可能ないようにした。

【0009】

3

【作用】一般に、並列演算機構を構成するプロセッサの規模が拡大し、空間的な占有体積が増大すると、トポロジカルな情報伝送交換伝送路経路数が急増する性質があるので、高速かつ柔軟な情報伝送交換伝送路経路を有する大規模な並列演算機構を構築することが本質的に困難となる。

【0010】本発明では、プロセッサ間の情報伝送交換伝送路形態を階層化し、近接したプロセッサ群内では、交換機能付きのメモリバス直結による高速情報伝送交換伝送路とする一方、並列演算集合体にまたがるような情報伝送交換伝送路では高速シリアルデータ伝送路を採用して階層構造の情報交換伝送路を実現した。

【0011】この結果、本発明によれば、電氣的・構造的制約下で並列演算機構を構成するプロセッサ間の高速かつ柔軟なリンケージを実現することができ、大規模な並列演算機構の実現が可能となった。

【0012】

【実施例】本発明は並列かつパイプライン処理が可能な処理対象に対し、その対象に最も適した構造の並列あるいはパイプラインあるいはその双方の組合わせによる処理（以下、「並列・パイプライン処理」と称す）機構を提供し、高速演算を実現するものである。とくに本発明では、プロセッサ間の情報交換ネックによる規模的制約の解消を実現し、大規模システムの構築を可能としている。また、並列演算機構としての処理能力が高いだけでなく、対象に対応して任意に並列・パイプラインの処理構造を変更できる点にも特徴がある。

【0013】以下、本発明の一実施例におけるシステム構成例を図1を用いて説明する。複数の演算プロセッサより構成される(1)から(n)までn個(nは2以上の自然数)の並列演算集合体1が、計算機リンケイジ2により接続されている。計算機リンケイジ2は、複数の計算機を相互に接続できるものであれば、汎用ネットワーク、専用ネットワークのいずれでもよい。該汎用計算機リンケイジ2を介して複数の並列演算集合体1を相互接続することができる。ホストプロセッサ3は全ての並列演算集合体に対し初期プログラムのローディング、演算パラメータおよびデータの付与、並列演算集合体内のプロセッサエレメント(以下PEと称す)間接続形態、並列演算集合体にまたがるPE間接続形態、各PE内プログラム動作の指定、各並列演算集合体の動作状態の管理、演算結果の読みだしのすべてまたはその一部を計算機リンケイジ2を介して実施する。ビデオ端末装置4はホストプロセッサ3に接続されシステム全体の運用、プログラム開発に関するマンマシンコミュニケーションに使用される。PE間情報交換伝送路5は、並列演算集合体を構成する各PEより接続可能であり、主として並列演算集合体をまたがるPE間の情報交換伝送路として使用される。並列演算集合体にまたがるPE間情報交換伝送路網6は各PEよりのPE間情報交換伝送路5の集合

4

であり、PE間情報伝送機能のほかに伝送路接続交換機能を有する。単数または複数の並列演算集合体に対する演算データの付与は計算機リンケイジ2あるいはPE間情報交換伝送路5を介して行なうことができる。

【0014】図2は並列演算集合体1の内部構成例を示した図である。PE11((1)から(m)までm個(mは2以上の自然数))が演算処理を担当するプロセッサであり、該並列演算集合体1は複数のPEより構成されている。管理プロセッサ7は、該並列演算集合体1の全体の動作を制御統括するものであり、一般の16ビットあるいは32ビットマイクロプロセッサを採用したマイクロプロセッサボードでよい。メモリ8は該管理プロセッサ7の処理プログラムとデータの格納、および作業領域として使用するものである。外部インターフェイス9は、該並列演算集合体1をホストプロセッサ3と連結するために使用する。同期制御部10は並列・パイプライン処理を行なう複数PE11に対し、PE同期制御信号線13を介して、処理開始のタイミング制御を行なう。該処理開始タイミングは該並列演算集合体の内部処理状態から求められる場合と、外部同期信号線18により外部同期による場合がある。バススイッチ網12は、該複数PE11の接続形態を任意に実現し、該並列演算集合体内のPE群に対し所望の並列・パイプライン処理構造を実現する。接続制御部13は処理対象のアルゴリズムに対応して決定されたPE群の接続形態を実現するようにバススイッチ網接続制御信号線15を介してバススイッチ網12の内部接続状況を制御する。管理プロセッサバス14は、管理プロセッサ7が処理の進行状態あるいは外部よりの指令に基づきPE群、接続制御部13他、バス14に接続されている装置を制御するためのデータ経路であり、共通のアドレスバス、データバス及び制御信号線より構成され複数のプロセッサ、制御部、インターフェイス部を制御し情報交換することができればよく、広く知られている汎用のマイクロコンピュータ用入出力バスであればいずれでもよい。並列演算集合体内PE間インターフェイスバス16はPEが相互に相手側のメモリをメモリバスにより直接読み書きするためのメモリバスである。

【0015】図3は、PE11の内部構造である。管理プロセッサリンケイジ20は、管理プロセッサ7との情報交換用であり、管理プロセッサ7が処理の進行状態あるいは外部よりの指令に基づきPE群などを制御するためのデータ経路であり、共通のアドレスバス、データバス及び制御信号線より構成され複数のプロセッサ制御部、インターフェイス部を制御し情報交換することができればよく、ひろく知られている汎用のマイクロコンピュータ用入出力バスであればいずれでもよい。管理プロセッサ7は管理プロセッサリンケイジ20を介して、PE処理部19に対する処理プログラムのローディング、処理パラメータの設定変更、処理内容の変更制御を行な

うほか、PE処理部19の処理結果および内部状態を得ることができる。PE処理部19は高速演算に適したプロセッサが好ましく、例えば汎用のデジタル信号プロセッサ(以下DSPと略称する)でよい。演算プロセッサメモリバス31はPE処理部19が高速メモリをアクセスするためのバスである。PE間インターフェイスバス(交替バッファメモリ不付)32は、接続されている他のPEの交替バッファメモリを直接メモリアクセスするためのバスであり、データバスとアドレスバスより構成されている。図3では、バス32が2本の場合を示しているが、バスの本数分だけ交替バッファメモリを介して接続可能な他のPEを接続できる。PE間インターフェイスバス(交替バッファメモリ付)33は、他のPEより自PE内の交替バッファメモリをアクセスさせることによりPE間のデータ伝送を実現させるためのものである。バス33が2本である理由はバス32の場合と同様である。交替バッファメモリ(1)21、と交替バッファメモリ(2)22は、メモリバス切り替えスイッチ27を経由して自PE処理部19と他のPEの処理部のPE間インターフェイスバス(交替バッファメモリ不付)32に接続される。メモリバス切り替えスイッチ27にはそれぞれアドレスバスとデータバスより構成されるバスが4組接続可能であり、2組ずつのバス群に対し、メモリバス切り替えスイッチ制御信号線30の状態により該内部接続状態を順接続と逆接続に切り替えることができる。この結果、2組ある交替バッファメモリを、交替バッファメモリの一方に前記プロセッサが情報交換用データを書き込んでいる間に、もう一方の交替バッファメモリの内容を情報交換伝送路経由で接続先のプロセッサの情報交換伝送路制御部交替バッファメモリに伝送する第1の処理フェーズと、前記交替バッファメモリの役割を入れ替え、前の処理フェーズでプロセッサがデータを書き込んだ交替バッファメモリの内容を情報交換伝送路経由で接続先のプロセッサの情報交換伝送路制御部交替バッファメモリに伝送し前記第1の処理フェーズで情報伝送した交替バッファメモリにプロセッサが情報交換用データを書き込む第2の処理フェーズという処理フェーズ毎に切り替え接続することができる。バス32、バス33によるPE間接続は高速メモリをメモリバスによりパラレル信号として直接アクセスすることが可能である。すなわち、1語あたりメモリアクセスタイムと同等乃至6倍の時間でPE間の情報伝送を行なうことができる。メモリアクセス時間が1語当り50nsとすると、20MW/sのPE間の情報伝送が可能である。

【0016】PE間情報交換伝送路5は異なった並列演算集合体にまたがるPE間情報交換伝送路であり、伝送路32、33に対比して長距離の伝送を行なうため、ビットシリアル形式の光ファイバ伝送路を使用する。シリアル伝送変換制御部35はPE処理部19からの制御指令をシリアル伝送制御信号線34で受け、交替バッファ

メモリ23、24のいずれか一方に格納されている情報を読みだしビットシリアルデータに変換した後、電子-光変換を施して伝送路5に送出する。伝送路5は極力高速伝送が可能であることが必要であるが、同時に小型かつ低コストであることが望ましく、たとえば汎用の時分割多重化光シリアル伝送路を採用することができる。シリアル伝送変換制御部35に接続されるメモリバス切り替えスイッチ28、交替バッファメモリ23、24の動作はすでに述べたメモリバス切り替えスイッチ27、交替バッファメモリ21、22と同様である。伝送路5の信号はビットシリアル伝送であるため100Mbps程度の情報伝送が可能であり、25MB/s乃至6.25MW/sの伝送速度となる。

【0017】以上のように、バス32、バス33の伝送速度は、伝送路5の伝送速度の3倍から5倍の速度であり、バス32、バス33における情報伝送を高速伝送とすれば、伝送路5による情報伝送は中速伝送といえる。また、バス32、バス33はパラレル伝送で有るため信号間のビット同期の問題が発生しやすく長距離伝送が困難である反面、伝送路5の伝送はビットシリアル伝送であり、信号間の同期の問題が起こりにくいため、バス32及びバス33に比較して長距離伝送が可能となる。

【0018】図4は、並列演算集合体内のPE間接続と並列演算集合体にまたがるPE間接続を組み合わせたシステム構成例を示している。各PE11は並列演算集合体1内部では並列演算集合体内PE間インターフェイスバス16で相互接続され、並列演算集合体をまたがる場合には、PE間情報交換伝送路5により相互接続される。並列演算集合体内と並列演算集合体をまたぐ場合は、PE間接続における情報伝送速度において後者が劣るものの、それぞれPE単位で独立にPE間の接続が可能となる。PE間接続を並列演算集合体内と並列演算集合体外に階層化することにより、統一的な論理構造で複数のPEを数量的な制限を受けずに接続することが可能となった。実際の接続構造の設定にあたっては、より高速なPE間データ伝送が必要な場合には並列演算集合体内の接続とし、そうでない場合には並列演算集合体にまたがる接続にするのがよい。

【0019】図5はPE間情報交換伝送路5を用いて複数の並列演算集合体を相互接続した例である。該PE間情報伝送路5は並列演算集合体1を構成するPE間を接続し、図4における並列演算集合体をまたぐPE間情報を伝送する。

【0020】図6は隣接接続された2組のPEの動作を関連づけて記したものである。図6aは、並列演算集合体にまたがるPE間接続を示し、図6bは並列演算集合体内のPE間接続を示している。いずれも動作を説明するために、直接関連のない部分については省略して記述してある。

【0021】ここで、並列・パイプライン処理の対象と

7

なる一まとまりの処理を一フェーズの処理と呼び図6 a の場合について以下記述する。なおここで言う「フェーズ」は図3におけるフェーズと同一の定義である。フェーズ1の処理では、演算プロセッサ(a)19は交替バッファメモリ(a-4-1)25に接続されており演算結果を格納することができる。バススイッチ網6の論理的動作を接続された2組のPE間に着目してみると、データ送信側PEでは、データ伝送形態をパレレルからシリアルへ変換し、さらに電子的信号から光学的信号に変換して光ファイバーに送出する。一方、データ受信側PEでは送信側の逆変換をするので、論理的には図6 a のように直結ラインとして単純化できる。フェーズ1終了によりメモリバス切り替えスイッチ29が切り替わり、フェーズ2の処理では、交替バッファメモリ(a-4-2)26が演算プロセッサ(a)19に接続され演算結果の格納と必要に応じ作業領域として使用される。フェーズ1で交替バッファメモリ25に格納されたデータはフェーズ2では演算プロセッサ(a)19より切り離され、バススイッチ網6を経由して接続先のPEの受信用交替バッファメモリ(b-3-2)38にシリアル伝送される。このシリアル伝送はフェーズ2に実施される。フェーズ2では演算プロセッサ(b)36が交替バッファメモリ(b-3-1)37に接続されているが、フェーズ3ではメモリバス切り替えスイッチ39が切り替わり、交替バッファメモリ(b-3-2)38が演算プロセッサ(b)36に接続されるので、フェーズ1に演算プロセッサ(a)19が処理した結果を用いて演算プロセッサ(b)36の処理が実施できる。以下、交替バッファメモリ25, 26, 37, 39をメモリバス切り替えスイッチ29, 39を用いて処理フェーズ毎に切り替えることにより、隣接して接続された2つのPEはパイプライン演算をすることができる。交替バッファメモリ23, 24, 40, 41およびメモリバス切り替えスイッチ28, 42も接続先のPEに対して同様にパイプライン処理を実施するために使用される。処理フェーズの切り替えは外部同期信号線18により同期して実施される。

【0022】以上に述べた図6 aの動作をタイムチャートで示したものが図7である。図中の演算(a)のa-1よりバッファ(a-4-1)のa-1-dにいたる部分の矢印は信号の立ち上がり、あるいは立ち下りの因果関係を示す。以下、図7における上から下への矢印は、同様に信号変化事象間の因果関係を示すものである。横方向の左から右への矢印は時間軸を表わす。図8においても矢印は図7と同様の意味で使用している。

【0023】つぎに、図6 bについて説明する。図6 bは、並列演算集合体内のPE間接続であり近距離であるので、シリアル伝送を経ることなく演算プロセッサ(b)36は接続先PEの交替バッファメモリ21, 22をメモリバスでアクセスすることができる点が図6 aの場合

8

と異なっている。フェーズ1の処理では、演算プロセッサ(a)19は交替バッファメモリ(a-1-1)21に接続されており演算結果を格納することができる。バススイッチ網12の論理的動作を接続された2組のPE間に着目してみると図6 bのように単純化できる。フェーズ1終了によりメモリバス切り替えスイッチ27が切り替わり、フェーズ2の処理では、交替バッファメモリ(a-1-1)21が演算プロセッサ(b)36に接続され、交替バッファメモリ(a-1-2)22が演算プロセッサ(a)19に接続される。フェーズ1の演算結果は交替バッファメモリ(a-1-1)21に格納されたままフェーズ2では演算プロセッサ(b)36がアクセス可能となり、演算プロセッサ(b)36はその内容に従って次の段階の処理をパイプラインで実施することができる。フェーズ2ではこの間、演算プロセッサ(a)19がフェーズ1の次の演算を実施しその結果を交替バッファメモリ(a-1-1)21に格納している。

【0024】演算プロセッサ(b)36, 交替バッファメモリ(b-1-1)43, 交替バッファメモリ(b-1-2)44, メモリバス切り替えスイッチ45はそれぞれ、演算プロセッサ(a)19, 交替バッファメモリ(a-1-1)21, 交替バッファメモリ(a-1-2)22, メモリバス切り替えスイッチ27と同様な動作をする隣接PEの構成部分である。処理フェーズの切り替えはPE同期制御信号線17により同期して実施される。

【0025】図8は、図6 bの動作をタイムチャートで記したものである。

【0026】さて、以下の図9から図13までは、図1における並列演算集合体にまたがるPE間情報交換伝送路網6の実現方法を説明したものである。

【0027】図9は、手動操作による接続切り替え盤による実現方法である。PE間の接続は必ず1対1であり、かつ一方方向性であるとする、PE間情報伝送路5は入力側であるPE間情報交換伝送路入力部46とPE間情報交換伝送路入力部47の2グループに分割することができる、その間の接続を任意に切り替えることができるPE間情報交換伝送路スイッチボード部48を設けることができる。図9 aは論理的な接続を示し、図9 bは具体的な実現例を示している。PE間情報交換伝送路スイッチボード入力側52は図9 aのPE間情報交換伝送路入力部46に対応し、PE間情報交換伝送路スイッチボード出力側53は図9 aのPE間情報交換伝送路出力部47に対応する。光ファイバーコネクタ受け部51はPE間情報交換伝送路スイッチボード出力側53に設けられ、手動による接続操作により光ファイバーケーブルコネクタ50を任意に接続することができる。49は光ファイバーケーブルである。なお光ファイバー伝送をFDDIにて実施する場合には接続対象の2

9

PE間の伝送路がループ状となるため、光ファイバコネクタは1伝送路あたり2組となる。手動操作によるスイッチボード操作はビデオ端末装置4より指示し、その結果正しく接続されているかのチェックをホストプロセッサが実施し、訂正すべきであればビデオ端末装置4より修正指示をだすことができる。

【0028】図10は、図9で記した機能をクロスバースイッチによる自動交換機能で実現したものである。PE間情報交換伝送路網入力部46、PE間情報交換伝送路網出力部47は図9aの場合と全く同一であるが、入出力間の接続交換機能をクロスバースイッチ部56により実現している。46より入力した光信号は光電子変換部54により電子信号に変換されクロスバースイッチ部56に導かれ、クロスバースイッチ制御信号線58を介したクロスバースイッチ制御部57の切り替え指令により指定された接続先に繋がる。クロスバースイッチ部56からの出力信号は電子光変換部55により再度光信号に変換され光ファイバケーブルに出力される。クロスバースイッチ制御部57は計算機リンケイジ2によりホストプロセッサ3へ接続され、ホストプロセッサ3により接続指令を受ける。光信号を直接クロスバースイッチ部56に接続する素子も開発されており、かかる素子を利用すれば、図10における光電子変換部54、電子光変換部55は不要となり、クロスバースイッチ部56は純光学的なクロスバースイッチとなる。

【0029】図11及び図12は、それぞれ、図9及び図10で示した機能を時分割光伝送ループで実現した構成例である。図11は1重の光ループによる方式であり、図12は光伝送路(1)61、光伝送路(2)62、…光伝送路(n)63からなる複数の光ループを用いて伝送負荷を分散した例を示している。いずれの構成も、FDDIを用いて実現することが可能である。各PEとの接続部は図11に示すように、光伝送路(1)61よりクロックジェネレータおよびシリバラ変換部59(シリバラ変換とは、シリアル-パラレル変換の意味である。)へ光ケーブルが導入され、シリバラあるいはパラシリ変換(パラシリ変換とは、パラレル-シリアル変換の意味である。)されて伝送制御部60と接続される。各PEはすべて伝送路61に共通接続されているため、時分割伝送フレーム制御により任意のPE間のデータ伝送を行なうことができる。図11及び図12によるPE間交換接続方式は時分割多重化方式によるものであり、時分割した分だけPE間の情報伝送性能が低下することに注意する必要がある。

【0030】図11及び図12によるPE間交換接続方式は時分割多重化方式によるものであり、時分割した分だけPE間の情報伝送性能が低下することに注意する必要がある。図12の例では、図11の場合と比較して、複数の情報伝送路を使用しているため、伝送情報量を増加させることができる。また、図13は各処理フェーズ

10

に対応した伝送フレーム構成を示したものである。図13の例は、複数のPEを時分割により共通の光伝送路に接続するため、ソフトウェア的に任意のPE間の情報伝送が可能のほか、1つのPEから複数のPEへブロードキャスト伝送をすることが可能である。図13の伝送ループ1のフェーズiに示した場合では、伝送パケット1-1-1, 1-1-2, …1-1-mの各々につき伝送元と伝送先を指定することにより任意のPE間の情報伝送を行なうことができる。なお、図13における処理フェーズは図3における処理フェーズと同様の意味で使用する。

【0031】

【発明の効果】本発明によれば、複数のプロセッサ間に階層化した情報伝送路を構築し、高速情報伝送路と中速伝送路の2階層構成とすることにより大規模な並列演算機構の実現が可能となった。

【図面の簡単な説明】

【図1】本発明の一実施例におけるシステム構成例を示す図。

【図2】本発明の一実施例における並列演算集合体の構成図。

【図3】本発明の一実施例におけるPEの構成例を示す図。

【図4】本発明の一実施例におけるPE間の接続例を示す図。

【図5】本発明の一実施例における並列演算集合体の接続例を示す図。

【図6】本発明の実施例におけるPE間の接続動作図。

【図7】本発明の実施例における並列演算集合体にまたがるPE間の接続動作タイムチャート図。

【図8】本発明の実施例における並列演算集合体内に存在するPE間の接続動作タイムチャート図。

【図9】本発明の実施例におけるビットシリアル伝送路のスイッチボードによる並列演算集合体にまたがるPE間の情報交換伝送路の構成例を示す図。

【図10】本発明の実施例におけるビットシリアル伝送路のクロスバースイッチによる並列演算集合体にまたがるPE間の情報交換伝送路の構成例を示す図。

【図11】本発明の実施例におけるビットシリアル伝送路の時分割伝送による並列演算集合体にまたがるPE間の情報交換伝送路の構成例を示す図。

【図12】本発明の実施例における複数のビットシリアル伝送路の時分割伝送による並列演算集合体にまたがるPE間の情報交換伝送路の構成例を示す図。

【図13】本発明の実施例におけるビットシリアル伝送路の時分割伝送による並列演算集合体にまたがるPE間の情報交換伝送の動作タイムチャート図。

【符号の説明】

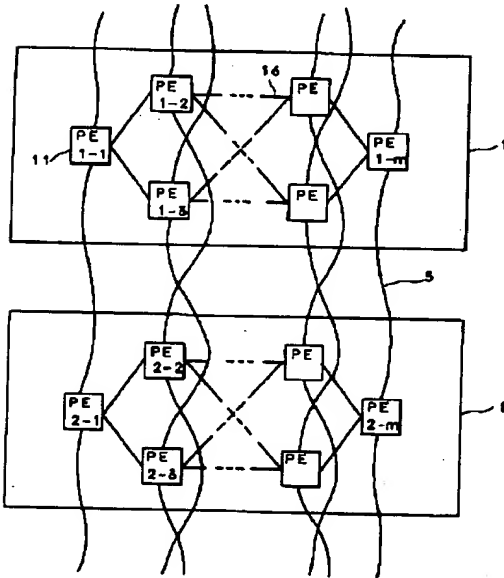
1…並列演算集合体、2…計算機リンケイジ、3…ホストプロセッサ、4…ビデオ端末装置、5…PE間情報交

11

換伝送路、6…並列演算集合体にまたがるPE間情報交換伝送路網、7…管理プロセッサ、8…メモリ、9…外部インターフェイス、10…同期制御部、11…PE、12…バススイッチ網、13…接続制御部、14…管理プロセッサバス、15…バススイッチ網接続制御信号線、16…並列演算集合体内PE間インターフェイスバス、17…PE同期制御信号線、18…外部同期信号線、19…PE処理部、20…管理プロセッサバスインターフェイス、21…交替バッファメモリ(1)、22…交替バッファメモリ(2)、23…交替バッファメモリ(1)、24…交替バッファメモリ(2)、25…交替バッファメモリ(1)、26…交替バッファメモリ(2)、27…メモリバス切り替えスイッチ、28…メモリバス切り替えスイッチ、29…メモリバス切り替えスイッチ、30…メモリバス切り替えスイッチ制御信号線、31…演算プロセッサメモリバス、32…PE間インターフェイスバス(交替バッファメモリ不付)群、33…PE間インターフェイスバス(交替バッファメモリ付)群、34…シリアル伝送制御信号線、35…シリア

【図4】

図 4

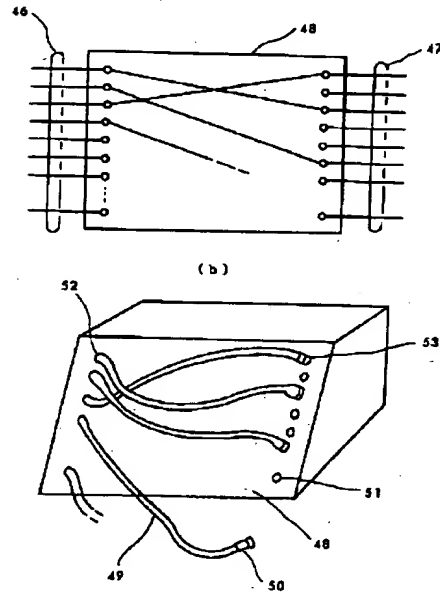


12

ル伝送変換制御部、36…演算プロセッサ(b)、37…交替バッファメモリ(1)、38…交替バッファメモリ(2)、39…メモリバス切り替えスイッチ、40…交替バッファメモリ(1)、41…交替バッファメモリ(2)、42…メモリバス切り替えスイッチ、43…交替バッファメモリ(1)、44…交替バッファメモリ(2)、45…メモリバス切り替えスイッチ、46…PE間情報交換伝送路網入力部、47…PE間情報交換伝送路網出力部、48…PE間情報交換伝送路網スイッチボード部、49…光ファイバケーブル、50…光ファイバケーブルコネクタ、51…光ファイバケーブルコネクタ受け部、52…PE間情報交換伝送路網スイッチボード入力側、53…PE間情報交換伝送路網スイッチボード出力側、54…光電子変換部、55…電子光変換部、56…クロスバースイッチ部、57…クロスバースイッチ制御部、58…クロスバースイッチ制御信号線、59…クロックジェネレータおよびシリパラ変換部、60…伝送制御部、61…光伝送路(1)、62…光伝送路(2)、63…光伝送路(n)。

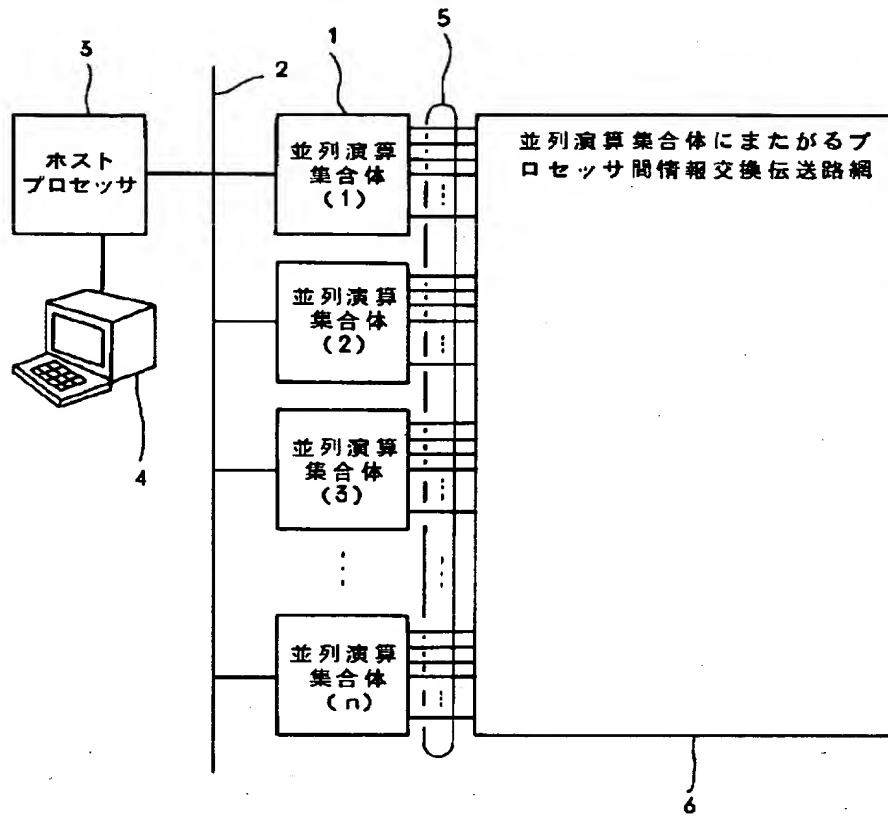
【図9】

図 9



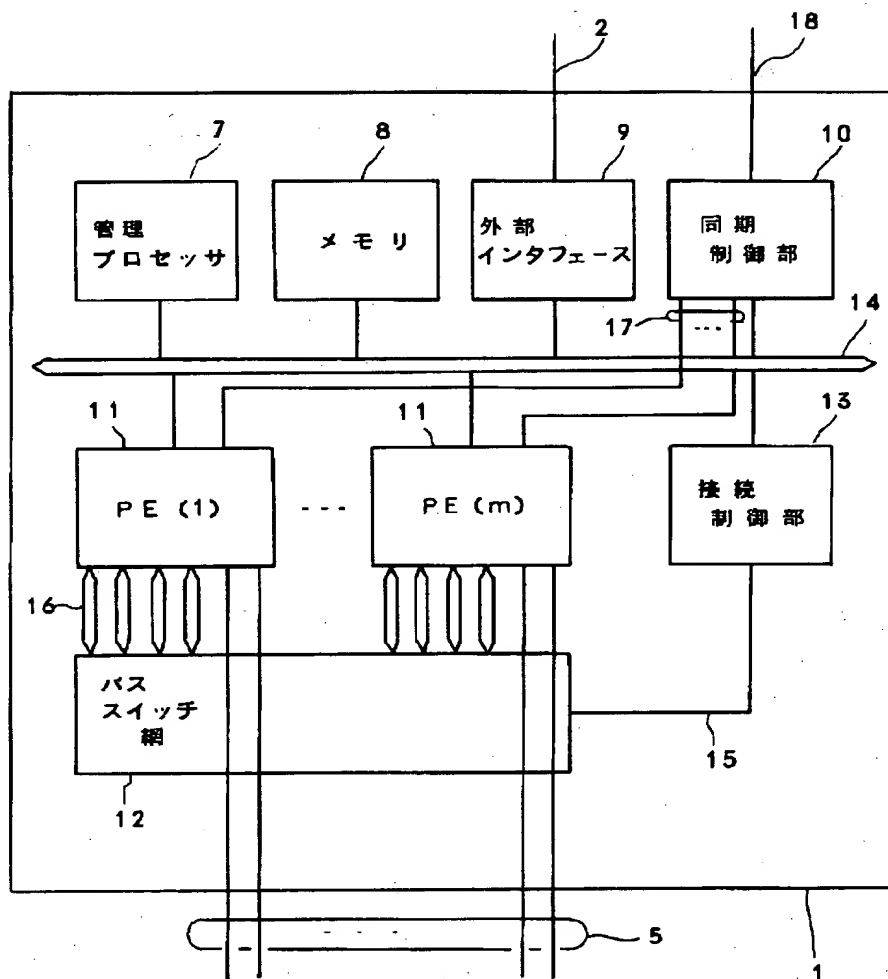
【図1】

図 1



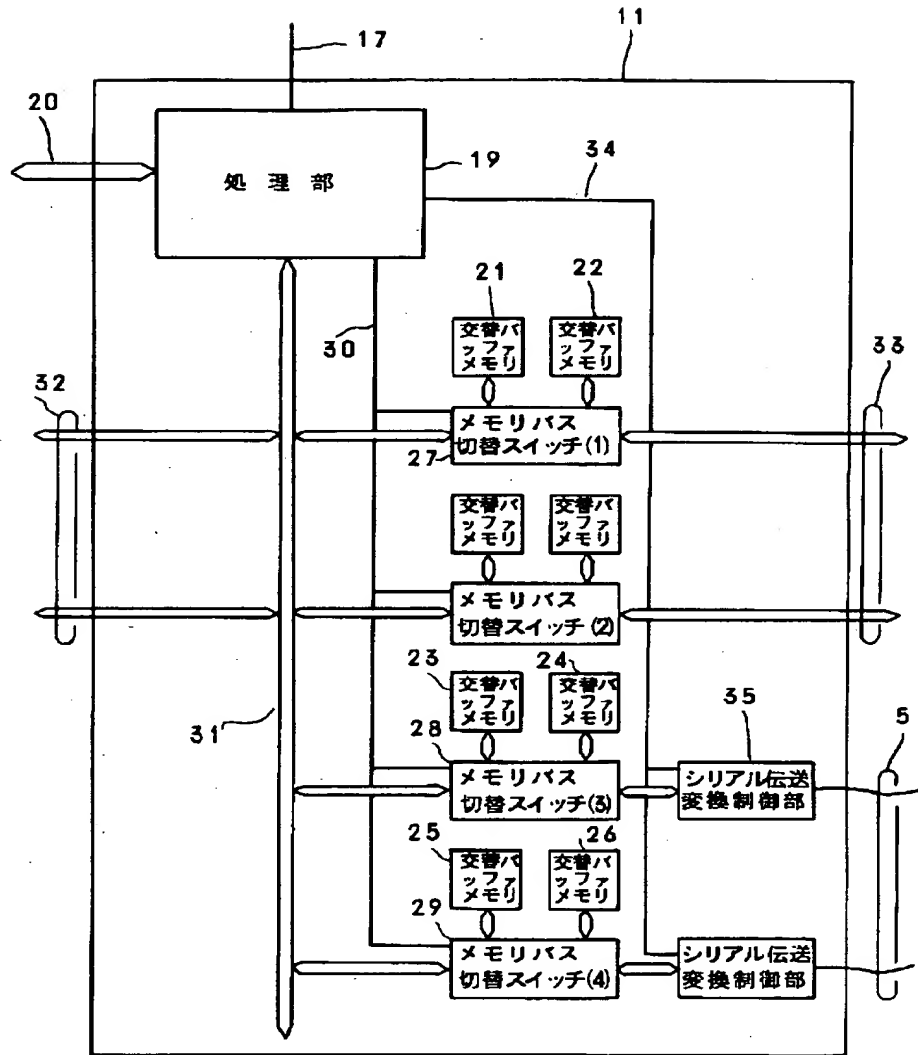
【図2】

図 2



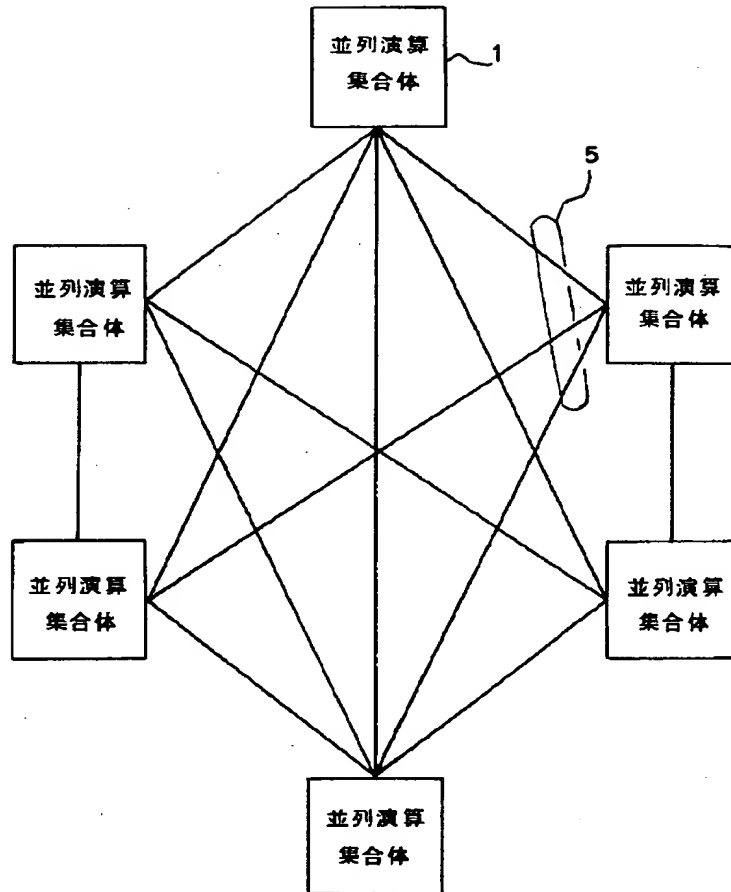
【図3】

図 3



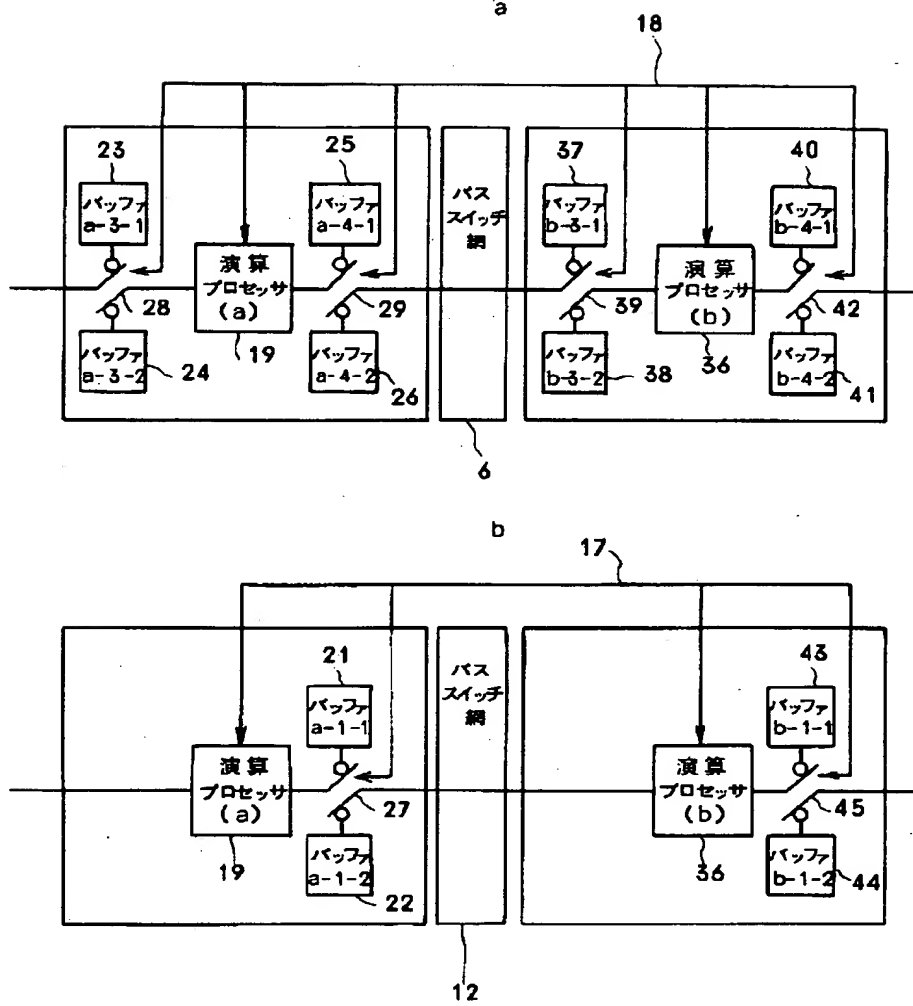
【図5】

図 5



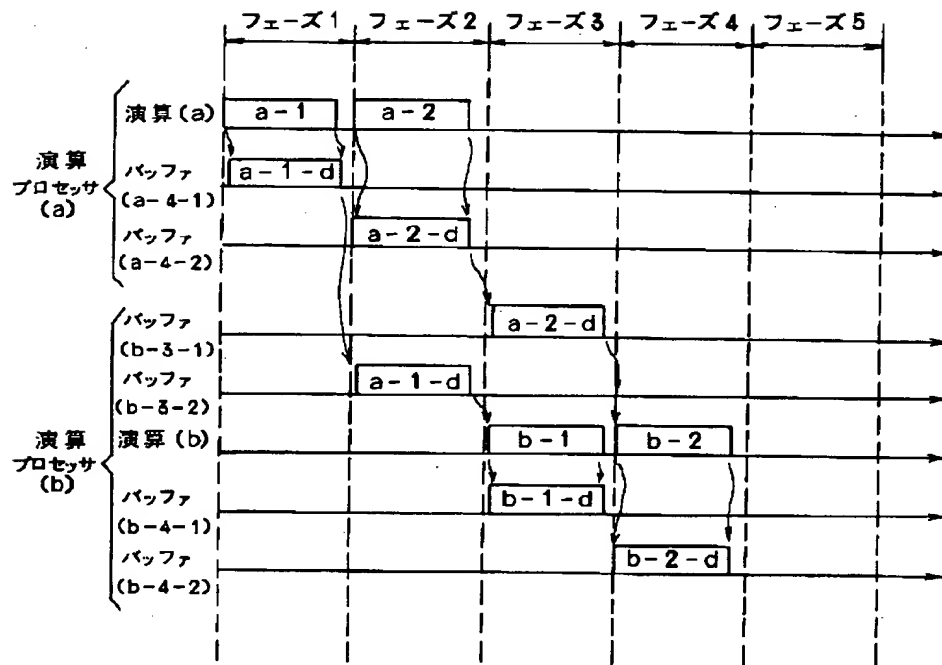
【図6】

図 6



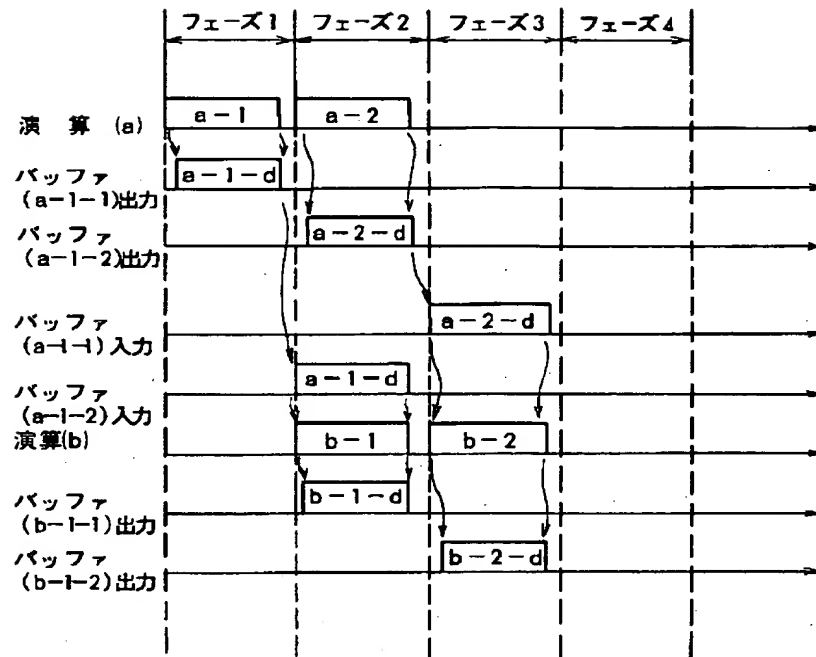
【図7】

図 7



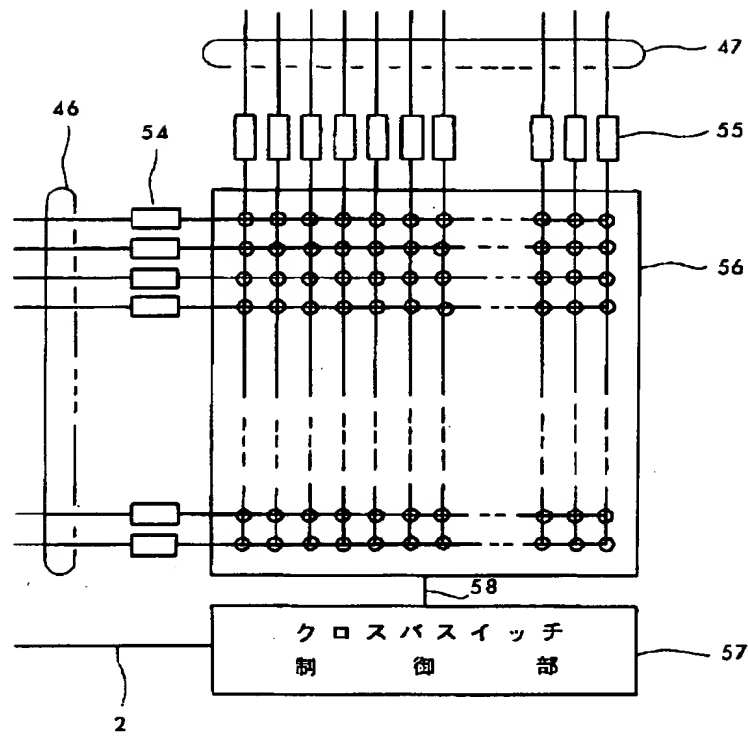
【図8】

図 8



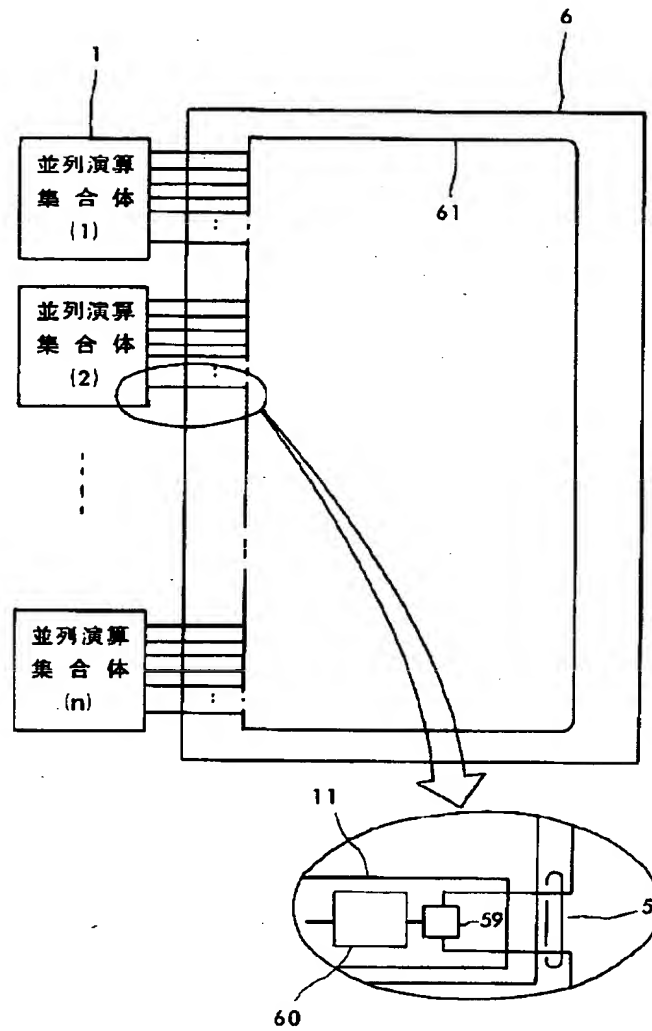
【図10】

図 10



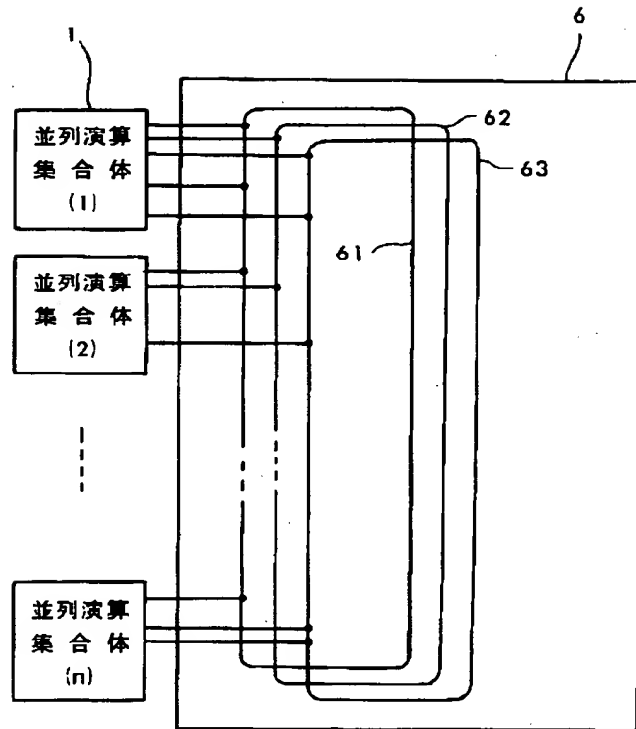
【図11】

図 11



【図12】

図 12



【図13】

図 13

